

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



(19)

(11) Publication number: 0:

Generated Document

PATENT ABSTRACTS OF JAPAN(21) Application number: **04183005**(51) Intl. Cl.: **B41J 2/045 B41J 2/055**(22) Application date: **17.06.92**

(30) Priority:	17.06.91 US 91 716457	(71) Applicant: SONY TEKTRONIX CC
(43) Date of application publication:	27.07.93	(72) Inventor: DAGURASU EMU SUTA HAWAADO BUI GOETS
(84) Designated contracting states:		(74) Representative:

(54) ADJUSTING INK DROP JETTING SPEED FOR PRINTING HEAD

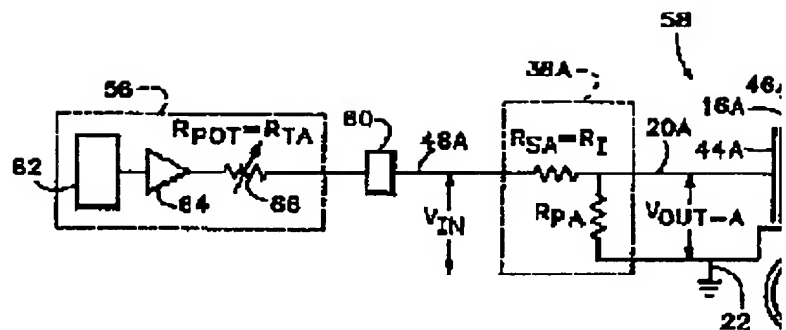
(57) Abstract:

PURPOSE: To let ink drops jet from an orifice of a printing head array of an ink jet printer at the speed approximately the same as desired one, and improve the yield with the speed of ink jetting outside tolerance adjusted to become within the tolerance by adjusting the values of a resistance element inserted into a driving circuit.

CONSTITUTION: A driving circuit for driving a printing head is equipped with a signal generator 56 and a voltage divider 36A. A series potentiometer 66 is inserted into the voltage divider 36A, and the voltage supplied to a transducer 16A is changed by adjusting the values of the potentiometer, and thereby it becomes possible for ink drops to be jetted from an orifice 28A at desired speed. Resistance value of the

potentiometer 66 on such jetting is stored in a memory. Then the stored resistance value is added to the voltage divider 36A by laser trimming. Thereby the ink drops can be jetted from the orifice 28A at desired speed, and printing quality can be improved therewith.

COPYRIGHT: (C)1993,JPO&Japio



THOMSON
DELPHION

RESEARCH

PRODUCTS

INSIDE DELPHION

Log Out | Work Files | Saved Searches | My Account | Products

Search: Quick/Number Boolean Advanced

The Delphion Integrated View

Buy Now: ☒ PDF | [More choices...](#)Tools: Add to Work File: [Create new W](#)View: INPADOC | Jump to: [Top](#)

Title: JP5185589A2: ADJUSTING INK DROP JETTING SPEED FOR PRINTING HEAD

Country: JP Japan

Kind: A

Inventor: DAGURASU EMU SUTANREE;
HAWAADO BUI GOETSU;

Assignee: SONY TEKTRONIX CORP
[News, Profiles, Stocks and More about this company](#)

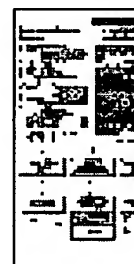
Published / Filed: 1993-07-27 / 1992-06-17

Application Number: JP1992000183005

IPC Code: [B41J 2/045](#); [B41J 2/055](#)

Priority Number: 1991-06-17 [US1991000716457](#)

Abstract:



PURPOSE: To let ink drops jet from an orifice of a printing head array of an ink jet printer at the speed approximately the same as desired one, and improve the yield with the speed of ink jetting outside tolerance adjusted to become within the tolerance by adjusting the values of a resistance element inserted into a driving circuit.

CONSTITUTION: A driving circuit for driving a printing head is equipped with a signal generator 56 and a voltage divider 36A. A series potentiometer 66 is inserted into the voltage divider 36A, and the voltage supplied to a transducer 16A is changed by adjusting the values of the potentiometer, and thereby it becomes possible for ink drops to be jetted from an orifice 28A at desired speed. Resistance value of the potentiometer 66 on such jetting is stored in a memory. Then the stored resistance value is added to the voltage divider 36A by laser trimming. Thereby the ink drops can be jetted from the orifice 28A at desired speed, and printing quality can be improved therewith.

COPYRIGHT: (C)1993,JPO&Japio

INPADOC None **Buy Now:** [Family Legal Status Report](#)

Legal Status:

Designated DE FR GB IT

Country:

Family: [Show 8 known family members](#)

Forward
References:

Buy PDF	Patent	Pub.Date	Inventor	Assignee	Title
	US6296341	2001-10-02	Sugahara; Hiroto	Brother Kogyo Kabushiki Kaisha	Method for regulating ink dro drive control in ink jet print h

Other Abstract
Info: DERABS G92-425899

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-183005

⑬ Int. Cl.⁵

H 03 B 5/18
H 01 P 1/00

識別記号

庁内整理番号

C 9182-5 J
Z 7741-5 J

⑭ 公開 平成4年(1992)6月30日

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 高周波発振回路

⑯ 特 願 平2-311060

⑰ 出 願 平2(1990)11月16日

⑱ 発 明 者 志 賀 信 夫 神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社
横浜製作所内

⑲ 出 願 人 住友電気工業株式会社 大阪府大阪市中央区北浜4丁目5番33号

⑳ 代 理 人 弁理士 長谷川 芳樹 外3名

明 細 書

1. 発明の名称

高周波発振回路

2. 特許請求の範囲

高周波信号を生成する信号生成回路と、生成された高周波信号を出力する信号出力回路とを備えて構成される高周波発振回路において、

前記信号出力回路は、前記信号生成回路から出力された高周波信号が一端に与えられるコンデンサと、一端がこのコンデンサの他端に接続され他端が基準電位に設定されたマイクロストリップ線路とを備えて構成され、

前記コンデンサの容量値および前記マイクロストリップ線路の形状は、高周波信号が与えられる前記コンデンサの一端から負荷側を見たインピーダンスが所定の負荷インピーダンスになる容量値および形状に設定されていることを特徴とする高周波発振回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は衛星通信システムの受信回路部等に使用される高周波発振回路に関するものである。

(従来の技術)

従来、この種の高周波発振回路としては、例えば、下記の文献

"1989 IEEE MTT-S Digest"

の1033-1036ページにおいて、「CAD プログラムに適した使いやすいFET DRO の設計手順 (AN EASY-TO-USE FET DRO DESIGN PROCEDURE SUITED TO MOST CAD PROGRAMS)」という題目の論文に記載されたものがある。この高周波発振回路の構成は第8図に示されている。

同図に示されるDRO(誘電体共振器を使用した発振器; dielectric resonator oscillator)には、増幅素子としてMESFET(ショットキバリア形電界効果トランジスタ)Q1が用いられている。FET Q1のドレイン側にはマイクロストリップ線路1-4を介して電圧Vdが印加されており、

ソース側にはマイクロストリップ線路5~8を介して電圧 V_g が印加されている。ゲート側のマイクロストリップ線路9、10には誘電体共振器が電磁界的に結合しており、この結合回路は、L、C、Rの並列回路として表現される。一方、MESFETQ1のドレインに現れる高周波信号は、マイクロストリップ線路11~14を経て出力される。ここで、線路13および線路14はコンデンサを構成しており、線路14には負荷抵抗 R_L が接続されている。

〔発明が解決しようとする課題〕

従来の高周波発振回路における信号出力回路は、上記のようにマイクロストリップ線路11~14を構成要素としている。このため、これら線路11~14が半導体基板上に物理的に占める面積は大きくなり、結果的に発振回路全体のサイズが大形化していた。また、上記従来構成の信号出力回路は、インピーダンス・マッチングをとる機能しかなく、例えば、特定信号周波数成分の信号伝達を阻止するフィルタ機能などをもたせることは

出来なかった。

〔課題を解決するための手段〕

本発明はこのような課題を解消するためになされたもので、信号出力回路は、信号生成回路から出力された高周波信号が一端に与えられるコンデンサと、一端がこのコンデンサの他端に接続され他端が基準電位に設定されたマイクロストリップ線路とを備えて構成され、コンデンサの容量値およびマイクロストリップ線路の形状は、信号出力回路の入力端から負荷側を見たインピーダンスが所定の負荷インピーダンスになる容量値および形状に設定されているものである。

〔作用〕

信号出力回路はコンデンサとこのコンデンサに接続されたマイクロストリップ線路とから構成され、信号出力回路を構成する構成要素数は減少する。また、コンデンサの容量値およびマイクロストリップ線路の形状を所定の容量値および所定の形状に設定することにより、信号出力回路の S_{21} パラメータの値は所定周波数で減少する。

〔実施例〕

次に、本発明の一実施例による高周波発振回路をBS（衛星放送）コンバータに適用した場合について説明する。本実施例による高周波発振回路は発振周波数 f_{LO} が10.7GHzであり、厚さ100 μ mのGaAs（ガリウム砒素）半導体基板上に形成されている。また、回路構成は、第8図に示される従来の発振回路構成と比較して信号出力回路の構成のみが異なっている。このため、本実施例による高周波発振回路については、この信号出力回路についてのみ説明することにする。第1図はGaAs半導体基板上にパターン形成された本実施例による信号出力回路の等価回路を示している。

信号出力回路は、コンデンサ21およびマイクロストリップ線路22、23によって表現される。コンデンサ21の一端は端子24に接続されており、この端子24はMESFETQ1（第8図参照）のドレインに接続されている。このドレインに現れた高周波信号は端子24を介してコンデン

サ21の一端に与えられる。コンデンサ21の他端には、一端が接地電位に設定されたマイクロストリップ線路22の他端が接続されており、これらコンデンサ21および線路22の接続点はマイクロストリップ線路23を介して信号出力回路の外部端子25に接続されている。この外部端子25には50 Ω の負荷26が接続される。

なお、マイクロストリップ線路23は、コンデンサ21と線路22との接続点を回路外部に引き出す配線であり、積極的に信号出力回路の要素を構成する素子ではない。この配線の特性インピーダンスを負荷インピーダンスに等しい50 Ω に設定することにより、線路23を等価回路の構成要素とする必要はなくなる。このため、以下の回路設計においては、等価回路から線路23が省略されたものとして説明を行う。

コンデンサ21の容量値およびマイクロストリップ線路22の形状は、信号出力回路の入力端である端子24から負荷側を見たインピーダンスZが所定の負荷インピーダンス、つまり、50 Ω に

なるように回路設計される。ここで、端子24から信号生成回路側を見たインピーダンス Z_{out} は、信号生成回路の所定の発振条件を満たす 150Ω とする。具体的なコンデンサ21の容量値およびマイクロストリップ線路22の形状は、信号出力回路に持たせる機能によって例えば次の2通りに設計することができる。なお、この設計条件の決定は、コンデンサ21の容量値および線路22の形状を種々のものに仮定し、電子計算機を使用して各仮定におけるSパラメータの周波数特性等を計算することによって行われる。

まず、第1に、信号出力回路にインピーダンス・マッチング機能とフィルタ機能とを持たせるため、コンデンサ21の容量値 C を 1.2pF 、マイクロストリップ線路22の線路幅 $W1$ を $10\mu\text{m}$ 、線路長 $l1$ を $2520\mu\text{m}$ に設定する。この設計条件を以下設計条件1と呼ぶ。第2に、信号出力回路にインピーダンス機能だけを持たせ、回路サイズを特に小さくするため、コンデンサ21の容量値 C を 0.9pF 、マイクロストリッ

プ線路22の線路幅 $W1$ を $10\mu\text{m}$ 、線路長 $l1$ を $870\mu\text{m}$ に設定する。この設計条件を以下設計条件2と呼ぶ。

このような構成の信号出力回路を四端子回路と見た場合における各Sパラメータの周波数特性は、以下のようにになる。まず、設計条件1における S_{21} パラメータおよび S_{11} パラメータの周波数特性は第2図に示される。ここで、 S_{21} パラメータは、信号出力回路の外部端子25側においてインピーダンスを整合させたときの順方向伝送係数、つまり信号通過特性を表している。 S_{11} パラメータは、外部端子25側においてインピーダンスを整合させたとき、入力端子24における進行波と反射波の様子を示す反射係数を表している。

同図の横軸は周波数 $[GHz]$ 、縦軸は減衰量 $[dB]$ を表している。 S_{21} パラメータの周波数特性は曲線31、 S_{11} パラメータの周波数特性は曲線32によって示されており、図中の記号 ∇ で示される特性曲線31上の点は回路設計において目標とされている設計点を表している。同図から理

解されるように、曲線31においては、発振周波数 $f_{L0}(=10.7GHz)$ の2倍の周波数 $2f_{L0}(=21.4GHz)$ で信号が大きく減衰している。このことは、信号出力回路が発振周波数の2倍波の信号成分の伝播を阻止していることを意味している。すなわち、信号出力回路はフィルタとして機能していることになる。この現象は S_{11} パラメータの特性にも現れている。つまり、曲線32から理解されるように、周波数 f_{L0} 付近では S_{11} パラメータは小さく、端子24での進行波の反射は少ない。しかし、2倍波の $2f_{L0}$ 付近では S_{11} パラメータは大きくなり、入力端子24での進行波の反射が増加している。

また、 S_{11} パラメータのスミスチャート上における $5\sim 25GHz$ の周波数変化は第3図に示される。同図においても、図中の記号 ∇ で示される特性曲線上の点は、回路設計において目標とされている設計点を表している。同図から理解されるように、周波数が2倍波の $2f_{L0}$ 付近で周波数特性を表す円弧はスミスチャートの最外周円に接近

し、 S_{11} パラメータの絶対値が大きくなっていることが理解される。

また、信号出力回路の外部端子25に負荷26を接続した場合における入力端子24から負荷側を見たインピーダンス Z の周波数特性は第4図に示される。同図の横軸は周波数 $[GHz]$ 、縦軸は抵抗値 $[\Omega]$ を表しており、曲線33はインピーダンス Z の実数部、曲線34は虚数部の周波数特性を示している。同図においても、図中の記号 ∇ で示される特性曲線33、34上の点は、回路設計において目標とされている設計点を表している。周波数が $15GHz$ 以下では実数部は約 50Ω 、虚数部は0になっており、インピーダンス Z は 50Ω の純抵抗と見なされる。従って、入力端子24から負荷側を見たインピーダンス Z は発振周波数 $10.7GHz$ において 50Ω になっていることが同図から確認される。

一方、設計条件2における信号出力回路の S_{21} パラメータおよび S_{11} パラメータの周波数特性は第5図、 S_{11} パラメータのスミスチャート上にお

ける周波数特性は第6図、インピーダンスZの周波数特性は第7図に示される。第5図～第7図に示される各グラフは第2図～第4図に示される各グラフに対応しており、各図の横軸および縦軸の意味は既述のグラフと同様であってその説明は省略する。

第5図において、 S_{21} パラメータの周波数特性は曲線41、 S_{11} パラメータの周波数特性は曲線42によって示されている。曲線41から理解されるように、 S_{21} パラメータは周波数変化にかかわらずほぼ一定の値になっている。これに対して曲線42から理解されるように、 S_{11} パラメータは周波数が増加すると小さくなっている。また、第6図から、 S_{11} パラメータは信号周波数が5～25GHzへと増加するにつれてスミスチャートの中心部に近付き、その絶対値が小さくなっていることが理解される。これらのことから、設計条件2における信号出力回路ではフィルタ機能が備えられていないことが理解される。つまり、設計条件1における信号出力回路と異なり、入力端子

24における信号の反射量は2倍波付近で減少しており、2倍波の信号成分伝達が阻止されていない。

第7図におけるインピーダンスZの実部の周波数特性は曲線43、虚部の周波数特性は同図の曲線44に示されている。図示の印Vに示される設計点において、インピーダンスZはほぼ50Ωに設定されていることが理解される。

上記のような周波数特性を備えた各信号出力回路の半導体基板上でのパターン面積は、次のようになる。まず、各設計条件1、2によるコンデンサ21の半導体基板上における物理的大きさは、次のようになる。コンデンサ21をMIMキャパシタで形成することになると、設計条件1による容量値が1.2pFのコンデンサ21は、基板上においてその面積が $64 \times 84 \mu\text{m}^2$ になる。また、設計条件2による容量値が0.9pFのコンデンサ21は、基板上においてその面積が $64 \times 64 \mu\text{m}^2$ になる。マイクロストリップ線路22の大きさは、前述したように、設計条件1の場合

は $10 \times 2520 \mu\text{m}^2$ 、設計条件2の場合は $10 \times 870 \mu\text{m}^2$ である。

従って、設計条件1による信号出力回路のパターン面積は $30,576 (-64 \times 84 + 10 \times 2520) \mu\text{m}^2$ 、設計条件2による信号出力回路のパターン面積は $12,796 (-64 \times 64 + 10 \times 870) \mu\text{m}^2$ になる。このように、設計条件2による信号出力回路は、設計条件1による信号出力回路に比較し、フィルタ機能を備えていない分だけ回路サイズが小さくなっている。

しかし、設計条件1および設計条件2による信号出力回路共に、第8図に示される従来の信号出力回路に比較し、回路サイズは十分に小形化されている。つまり、従来の信号出力回路を構成する各マイクロストリップ線路11～14のパターン面積は次のようになっている。線路11の面積は $3 \times 2573 \mu\text{m}^2$ （線路幅 $W = 3 \mu\text{m}$ 、線路長 $L = 2573 \mu\text{m}$ ）、線路12の面積は $100 \times 1018 \mu\text{m}^2$ （線路幅 $W = 100 \mu\text{m}$ 、線路長 $L = 1018 \mu\text{m}$ ）、および線路13、14の各

面積は $3 \times 2096 \mu\text{m}^2$ （各線路幅 $W = 3 \mu\text{m}$ 、各線路長 $L = 2096 \mu\text{m}$ ）である。

従って、従来の信号出力回路のパターン面積は $122,095 \mu\text{m}^2$ になる。この面積値は上述した本実施例による設計条件1によるパターン面積値 $30,576 \mu\text{m}^2$ 、設計条件2によるパターン面積値 $12,796 \mu\text{m}^2$ のいずれと比べても著しく大きい。すなわち、本実施例による信号出力回路の回路サイズは十分に小形化されていることが理解される。

〔発明の効果〕

以上説明したように本発明によれば、信号出力回路はコンデンサとこのコンデンサに接続されたマイクロストリップ線路とから構成され、信号出力回路を構成する構成素子数は減少する。このため、高周波共振回路の回路サイズは小形化される。

また、コンデンサの容量値およびマイクロストリップ線路の形状を所定の容量値および所定の形状に設定することにより、信号出力回路の S_{21} パラメータの値は所定周波数で減少する。このため、

従来、インピーダンス・マッチングをとる機能しかなかった信号出力回路に、フィルタ機能をもたせることが可能になる。

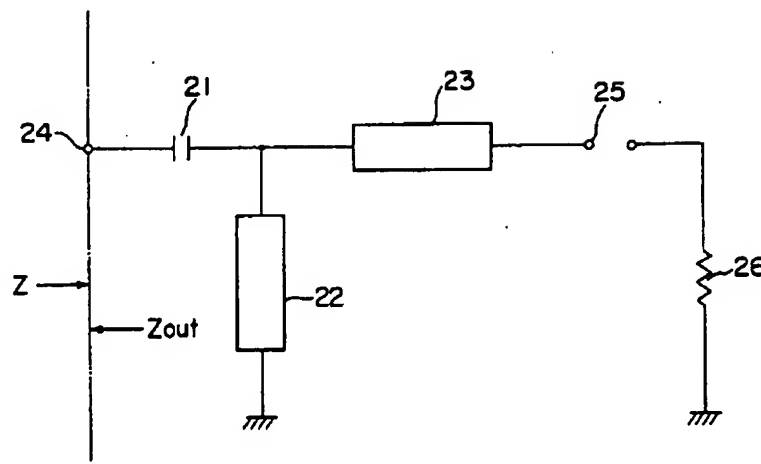
4. 図面の簡単な説明

第1図は本発明の一実施例による高周波共振回路が半導体基板上にパターン形成された場合における信号出力回路部の等価回路図、第2図は信号出力回路の各素子を設計条件1に設定した場合における S_{21} パラメータおよび S_{11} パラメータの周波数特性を示すグラフ、第3図は信号出力回路の各素子を設計条件1に設定した場合における S_{11} パラメータのスミスチャート上における周波数特性を示すグラフ、第4図は信号出力回路の各素子を設計条件1に設定した場合における入力端子から負荷側を見たインピーダンス Z の周波数特性を示すグラフ、第5図は信号出力回路の各素子を設計条件2に設定した場合における S_{21} パラメータおよび S_{11} パラメータの周波数特性を示すグラフ、第6図は信号出力回路の各素子を設計条件2に設

定した場合における S_{11} パラメータのスミスチャート上における周波数特性を示すグラフ、第7図は信号出力回路の各素子を設計条件2に設定した場合における入力端子から負荷側を見たインピーダンス Z の周波数特性を示すグラフ、第8図は従来の高周波共振回路が半導体基板上にパターン形成された場合における高周波共振回路の等価回路図である。

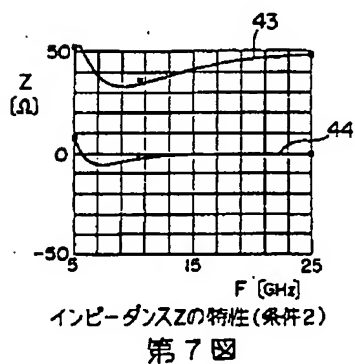
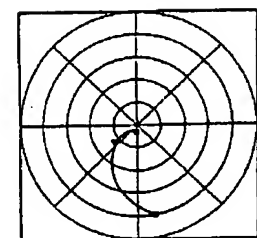
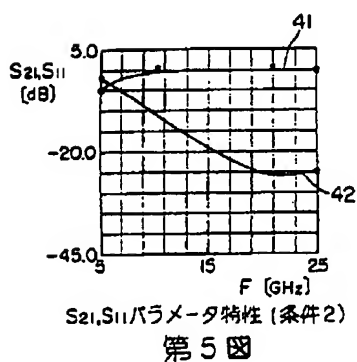
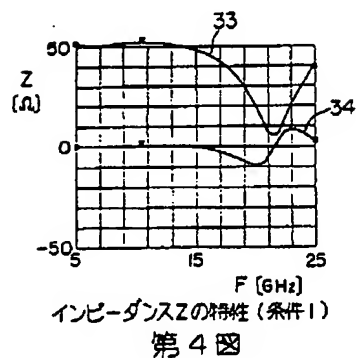
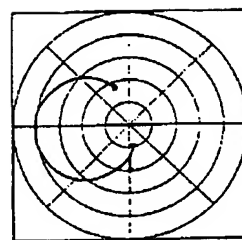
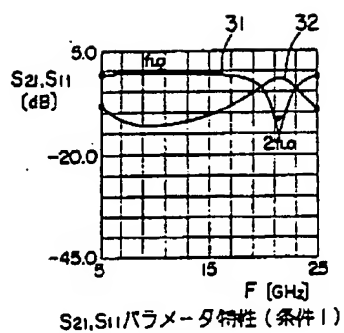
21…コンデンサ、22…マイクロストリップ線路、23…入力端子、24…外部端子、25…負荷。

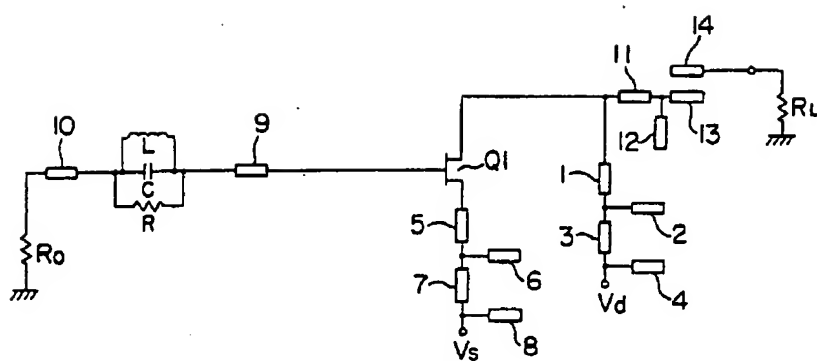
代理人弁理士 長谷川 芳樹
岡 雄 田 辰 也



実施例の構成

第1図





従来が発振回路

第8図